

#2/Priority 517
5/19/00
Tia

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1 9 9 9 年 3 月 3 日

出 願 番 号
Application Number:

平成 1 1 年 特 許 願 第 0 5 5 3 4 1 号

出 願 人
Applicant (s):

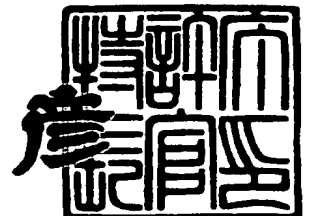
ヤマハ株式会社



1 9 9 9 年 1 1 月 1 2 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平 1 1 - 3 0 7 8 1 0 8

【書類名】 特許願

【整理番号】 C-27593

【提出日】 平成11年 3月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/318

【発明者】

 【住所又は居所】 静岡県浜松市中沢町10番1号ヤマハ株式会社内

 【氏名】 山葉 隆久

【特許出願人】

 【識別番号】 000004075

 【氏名又は名称】 ヤマハ株式会社

【代理人】

 【識別番号】 100075074

 【弁理士】

 【氏名又は名称】 伊沢 敏昭

【手数料の表示】

 【予納台帳番号】 063005

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体装置の製法
【特許請求の範囲】

【請求項 1】

半導体基板の一主表面にMOS型トランジスタを形成する工程と、
水素含有膜を含む層間絶縁膜を前記MOS型トランジスタを覆って形成する工程と、
前記層間絶縁膜の上に配線層を形成する工程と、
表面保護膜としての窒化シリコン膜を前記MOS型トランジスタ及び前記配線層を覆って前記層間絶縁膜の上に形成する工程と、
前記窒化シリコン膜で前記MOS型トランジスタ及び前記配線層を覆った状態において前記MOS型トランジスタのチャンネル部の界面準位を低減するための熱処理を行なう工程と
を含む半導体装置の製法。

【請求項 2】 前記MOS型トランジスタを形成する工程では、前記MOS型トランジスタのソース領域、ゲート電極層及びドレイン領域にそれぞれシリサイド形成金属を接触させてシリサイド化した後未反応のシリサイド形成金属を除去することにより該ソース領域、該ゲート電極層及び該ドレイン領域の上にそれぞれシリサイド層を形成する請求項 1 記載の半導体装置の製法。

【請求項 3】 前記配線層を形成する工程では、隣り合う複数の配線層を形成し、前記窒化シリコン膜を形成する工程では、前記複数の配線層の間に溝が生ずる程度に薄く前記複数の配線層を覆うように前記窒化シリコン膜を形成する請求項 1 又は 2 記載の半導体装置の製法。

【請求項 4】 前記層間絶縁膜を形成する工程では、水素シルセスキオキサン樹脂膜をセラミック化した酸化シリコン膜を前記水素含有膜として形成する請求項 1 ～ 3 のいずれかに記載の半導体装置の製法。

【請求項 5】 水素を含まない窒素ガス雰囲気中で前記熱処理を行なう請求項 1 ～ 4 のいずれかに記載の半導体装置の製法。

【請求項 6】 前記水素含有膜について熱処理温度と水素脱離量との関係を

表わす昇温脱離特性を予め求め、該昇温脱離特性に基づいて決定した温度で前記熱処理を行なう請求項 1 ～ 5 のいずれかに記載の半導体装置の製法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、MOS型トランジスタ（絶縁ゲート型電界効果トランジスタ）を備えた半導体装置の製法に関し、特に水素含有膜を含む層間絶縁膜の上に配線層を介して表面保護膜（パッシベーション膜）としての窒化シリコン膜を形成した後界面準位低減のための熱処理を行なうことによりMOS型トランジスタのしきい値電圧のばらつきを簡単に低減可能としたものである。

【0 0 0 2】

【従来の技術】

従来、表面保護膜を有する半導体装置としては、図 1 3 に示すように層間絶縁膜 1 の上に隣り合う配線層 2 A、2 B を介して表面保護膜としての窒化シリコン膜 3 を形成したものが知られている（例えば、特開昭 6 3 - 2 4 4 6 2 8 号公報参照）。

【0 0 0 3】

一方、MOS型トランジスタを製造する際にチャンネル部にプロセスダメージとして発生した界面準位を低減してしきい値電圧のばらつきを低減する方法としては、配線等の形成後に水素含有窒素ガス雰囲気中で熱処理を行なう水素アニール処理が知られている（例えば、信学技報 Vol. 9 7, No. 5 0 8, SD M 9 7 - 1 8 1（1998年1月23日），pp. 2 5 ～ 3 2 参照）。

【0 0 0 4】

また、この種の水素アニール処理としては、図 1 4 の状態で水素含有窒素ガス雰囲気中で熱処理を行なうものが知られている（例えば、特開平 8 - 4 5 9 2 6 号公報参照）。図 1 4 は、MOS型ICのトランジスタ部を示すもので、シリコン等の半導体基板 5 の表面には、選択酸化法によりフィールド絶縁膜 6 を形成する。絶縁膜 6 の素子孔内の基板表面には、公知の方法によりMOS型トランジスタ T r を形成する。

【0005】

トランジスタ T_r を形成する際には、基板表面を酸化するなどしてゲート絶縁膜 A を形成する。ゲート絶縁膜 A の上にポリシリコン層、シリサイド層及び水素含有 Si_xNy (又は $Si_xO_yN_z$) 膜を順次に堆積した後その堆積層を周知のホトリソグラフィ及び選択的ドライエッチング処理によりパターンニングしてゲート電極層 B を形成する。ホトリソグラフィ処理において、 Si_xNy (又は $Si_xO_yN_z$) 膜は、反射防止膜として作用する。エッチング処理の後、 Si_xNy (又は $Si_xO_yN_z$) 膜は、ゲート電極層 B の上に層 B と同じパターンを有する膜 C として残される。ゲート絶縁膜 A、ゲート電極層 B 及び Si_xNy (又は $Si_xO_yN_z$) 膜 C の積層と、絶縁膜 6 とをマスクとする選択的不純物導入処理により比較的低不純物濃度のソース領域 P_1 及びドレイン領域 P_2 を形成する。ゲート絶縁膜 A、ゲート電極層 B 及び Si_xNy (又は $Si_xO_yN_z$) 膜 C の積層の両側部には、それぞれシリコンオキサイド等からなるサイドスペーサ E_1 , E_2 を形成する。ゲート絶縁膜 A、ゲート電極層 B 及び Si_xNy (又は $Si_xO_yN_z$) 膜 C の積層と、サイドスペーサ E_1 , E_2 と、絶縁膜 6 とをマスクとする選択的不純物導入処理により比較的高不純物濃度のソース領域 Q_1 及びドレイン領域 Q_2 を形成する。

【0006】

トランジスタ T_r 及び絶縁膜 6 を覆って窒化シリコンからなるバリア膜 7 を形成した後、膜 7 の上に BPSG (ボロン・リン・ケイ酸ガラス) 等の層間膜 8 を形成する。バリア膜 7 及び層間膜 8 の積層には、ソース領域 Q_1 及びドレイン領域 Q_2 にそれぞれ対応して接続孔 8s 及び 8d を形成する。このような状態において水素含有窒素ガス雰囲気中で熱処理を行なうと、 Si_xNy (又は $Si_xO_yN_z$) 膜 C 中の水素がトランジスタ T_r のチャンネル部に供給されると共に熱処理雰囲気中の水素が接続孔 8s, 8d を介してトランジスタ T_r のチャンネル部に供給されるので、チャンネル部の界面準位が低減される。このとき、バリア膜 7 は、 Si_xNy (又は $Si_xO_yN_z$) 膜 C 中の水素が層間膜 8 側へ拡散するのを阻止するように作用する。

【0007】

【発明が解決しようとする課題】

図 13 に示される表面保護構造によると、窒化シリコン膜 3 の比誘電率が約 7 と大きいため、配線層 2 A, 2 B の間の静電容量（配線間容量）が大きく、動作の高速化や動作マージンの拡大の妨げになるという問題点がある。

【0008】

配線間容量を低減するためには、図 13 に破線 3 a で示すように窒化シリコン膜 3 を配線層 2 A, 2 B 間に溝が生ずる程度に薄く形成することが考えられる。このようにすると、溝が比誘電率 1 の空気で満たされるため、配線間容量を低減することができる。

【0009】

しかし、このようにした場合、界面準位を低減するための水素アニール処理を行なうと、次のような問題点がある。すなわち、窒化シリコン膜 3 の形成前に水素アニール処理を行なうと、A1 又は A1 合金等からなる配線層 2 A, 2 B から横方向にヒロック（ラテラルヒロック）が発生し、配線層 2 A, 2 B 間の短絡を招くことがある。また、窒化シリコン膜の形成後に水素アニール処理を行なうと、水素が窒化シリコン膜 3 を透過しないため、透過水素に基づく界面準位低減効果が得られない。

【0010】

窒化シリコン膜 3 をプラズマ CVD（化学気相堆積）法により形成する場合は、原料ガスとしてシラン、アンモニア等を用いるため、窒化シリコン膜 3 は、完全な Si_3N_4 の組成ならず、未反応水素（N-H, Si-H 等）を含む。水素アニール処理では、未反応水素が脱離して界面準位の低減に寄与するが、十分でなく、特に窒化シリコン膜 3 を上記したように薄く形成したときは極めて不十分となる。また、配線層 2 A, 2 B の最下層にバリアメタル層として Ti 層を形成したときは、Ti 層が水素を吸蔵するため、界面準位低減効果は一層低下する（先に引用した「信学技報」参照）。

【0011】

一方、図 14 に関して前述したような水素アニール処理によると、トランジスタ Tr のチャンネル部には、 Si_xN_y （又は $\text{Si}_x\text{O}_y\text{N}_z$ ）膜 C から水素を

供給すると共に熱処理雰囲気中から接続孔 8 s, 8 d を介して水素を供給するので、2つの水素供給源を設ける必要があり、処理が複雑化する。

【0012】

また、いわゆるサリサイドプロセスによりソース領域 Q_1 、ゲート電極層B及びドレイン領域 Q_2 の上にそれぞれシリサイド層を形成しようとする、シリサイド化処理の前に Si_xNy （又は $Si_xO_yN_z$ ）膜Cを除去する必要がある、水素アニール処理の際に膜Cを水素供給源として活用できない。換言すれば、膜Cを水素供給源として用いる限り、サリサイドプロセスを採用できない。

【0013】

この発明の目的は、MOS型トランジスタのしきい値電圧のばらつきを簡単に低減することができる新規な半導体装置の製法を提供することにある。

【0014】

【課題を解決するための手段】

この発明に係る半導体装置の製法は、
半導体基板の一主表面にMOS型トランジスタを形成する工程と、
水素含有膜を含む層間絶縁膜を前記MOS型トランジスタを覆って形成する工程と、
前記層間絶縁膜の上に配線層を形成する工程と、
表面保護膜としての窒化シリコン膜を前記MOS型トランジスタ及び前記配線層を覆って前記層間絶縁膜の上に形成する工程と、
前記窒化シリコン膜で前記MOS型トランジスタ及び前記配線層を覆った状態において前記MOS型トランジスタのチャンネル部の界面準位を低減するための熱処理を行なう工程と
を含むものである。

【0015】

この発明の製法によれば、熱処理工程では、層間絶縁膜に含まれる水素含有膜中の水素が脱離してMOS型トランジスタのチャンネル部に拡散し、該チャンネル部の界面準位を低減する。この場合、水素含有膜を含む層間絶縁膜は、ゲート電極層上に限らず、MOS型トランジスタを覆うように形成され、しかも窒化シ

リコン膜は、水素含有膜中の水素が外方へ拡散するのを阻止するので、チャンネル部の界面準位を十分に低減可能である。また、窒化シリコン膜は、外方からの水素を透過しないので、熱処理雰囲気としては、水素を含まない窒素ガス雰囲気を用いることができる。従って、MOS型トランジスタのしきい値電圧のばらつきを簡単に低減することができる。

【0016】

この発明の製法において、MOS型トランジスタを形成する工程では、MOS型トランジスタのソース領域、ゲート電極層及びドレイン領域にそれぞれシリサイド形成金属を接触させてシリサイド化した後未反応のシリサイド形成金属を除去することにより該ソース領域、該ゲート電極層及び該ドレイン領域の上にそれぞれシリサイド層を形成してもよい。この発明では、水素含有膜を、ゲート電極層の上に設けるのではなく、層間絶縁膜に含ませるようにしたので、シリサイドプロセスによりシリサイド層を形成することができる。

【0017】

この発明の製法において、配線層を形成する工程では、隣り合う複数の配線層を形成し、窒化シリコン膜を形成する工程では、複数の配線層の間に溝が生ずる程度に薄く複数の配線層を覆うように窒化シリコン膜を形成してもよい。このようにすると、溝が比誘電率1の空気で満たされるので、配線層間の静電容量を低減することができる。また、複数の配線層を覆って窒化シリコン膜を形成した後界面準位を低減するための熱処理を行なうので、複数の配線層をAl又はAl合金で構成しても、ラテラルヒロックが生じず、配線層短絡を招くおそれがない。

【0018】

この発明の製法において、層間絶縁膜を形成する工程では、水素シルセスキオキサン樹脂膜をセラミック化した酸化シリコン膜を水素含有膜として形成してもよい。このようにすると、水素含有膜としての酸化シリコン膜の水素含有量をセラミック化処理の際の熱処理条件に応じて制御可能となるので、製造歩留りが向上する。

【0019】

この発明の製法においては、水素含有膜について熱処理温度と水素脱離量との

関係を表わす昇温脱離特性を予め求め、該昇温脱離特性に基づいて決定した温度で界面準位低減のための熱処理を行なってもよい。このようにすると、界面準位を確実に低減することができ、製造歩留りが向上する。

【0020】

【発明の実施の形態】

図1～11は、この発明の一実施形態に係るMOS型ICの製法を示すものである。

【0021】

図1の工程では、例えばシリコンからなる半導体基板10の表面に選択酸化法により素子孔12aを有するフィールド絶縁膜（シリコンオキサイド膜）12を形成する。絶縁膜12の厚さは、一例として400nmにすることができる。素子孔12a内の基板表面には、MOS型トランジスタTRを形成する。

【0022】

トランジスタTRを形成する際には、基板表面を選択酸化するなどしてゲート絶縁膜Fgを形成する。ゲート絶縁膜Fgの上にポリシリコン層を堆積した後その堆積層をホトリソグラフィ及び選択的ドライエッチング処理によりパターンニングしてゲート電極層Pgを形成する。ゲート絶縁膜Fg及びゲート電極層Pgの積層と、絶縁膜12とをマスクとする選択的不純物導入処理（例えばイオン注入処理）により比較的低不純物濃度のソース領域S₁及びドレイン領域D₁を形成する。ゲート絶縁膜Fg及びゲート電極層Pgの積層の両側部には、それぞれシリコンオキサイド等からなるサイドスペーサK₁、K₂を形成する。ゲート絶縁膜Fg及びゲート電極層Pgの積層と、サイドスペーサK₁、K₂と、絶縁膜12とをマスクとする選択的不純物導入処理（例えばイオン注入処理）により比較的高不純物濃度のソース領域S₂及びドレイン領域D₂を形成する。

【0023】

この後、ソース領域S₂、ゲート電極層Pg及びドレイン領域D₂に接触するようにスパッタ法により基板上面に30nmの厚さのチタン層を形成する。670℃30秒の熱処理によりソース領域S₂、ゲート電極層Pg及びドレイン領域D₂の上にそれぞれシリサイド層Ts、Tg及びTdを形成する。絶縁膜12及

びサイドスペース K_1 , K_2 の上の未反応のチタン層を除去する。シリサイド層 T_s 、 T_g 、 T_d を低抵抗化するため、 870°C 10秒の熱処理を行なう。

【0024】

上記のようにしてトランジスタ TR を形成した後、トランジスタ TR 及び絶縁膜12を覆って図2、3に示すように層間絶縁膜14を形成する。絶縁膜14としては、厚さ 750nm の BPSG （ボロン・リン・ケイ酸ガラス）膜を常圧 CVD （化学気相堆積）法により形成する。このときの成膜条件は、

基板温度： 400°C

原料ガス： SiH_4 (46.25 sccm) + PH_3 (8.75 sccm)
 + B_2H_6 (7.5 sccm) + O_2 (7000 sccm) +
 N_2 (50000 sccm)

とすることができる。また、 BPSG 膜には、緻密化を目的としてランプアニール処理を施す。このときの処理条件は、

基板温度： 850°C

850°C までの昇温時間：10秒

850°C での維持時間：10秒

とすることができる。

【0025】

次に、絶縁膜14には、図2に示すようにシリサイド層 T_s 、 T_d に達する接続孔をホトリソグラフィ及び選択的ドライエッチング処理により形成する。そして、図2、4に示すように絶縁膜14の上に配線層16S、16D、16を形成する。配線層16S、16Dは、それぞれシリサイド層 T_s 、 T_d に接続されるものである。

【0026】

配線層16S、16D、16は、基板上面に配線材を被着した後その被着層をホトリソグラフィ及び選択的ドライエッチング処理によりパターニングすることにより形成される。配線材としては、下から順に Ti (20nm)、 TiON (100nm)、 Al 合金（例えば Al-Si-Cu 合金： 400nm)、 Ti (10nm)、及び TiN (40nm) をスパッタ法により被着することができる

。また、ドライエッチング条件は、

エッチングガス： Cl_2 (30 sccm) + BCl_3 (30 sccm)

エッチング室内圧力：10 mTorr

とすることができる。

【0027】

次に、図2、5に示すように、絶縁膜14の上に配線層16S、16D、16を覆って絶縁膜18を形成する。絶縁膜18としては、厚さ150 nmの酸化シリコン膜をプラズマCVD法により形成する。このときの成膜条件は、

基板温度：400℃

原料ガス： SiH_4 (240 sccm) + N_2O (5000 sccm)

+ N_2 (2800 sccm)

反応室内圧力：2.2 Torr

とすることができる。

【0028】

次に、図2、6に示すように、基板上面に絶縁膜18を介して配線層16S、16D、16を覆い且つ絶縁膜18及び絶縁膜14を介してトランジスタTRを覆うように酸化シリコン膜20を平坦状に形成する。すなわち、水素シルセスキオキサン樹脂膜をMIBK（メチル・イソブチル・ケトン）に溶解した溶液をスピンドクターを用いて500 nmの厚さになるように基板上面に塗布した後、塗布した樹脂膜を不活性ガス雰囲気中で熱処理してプレセラミック状の酸化シリコン膜とし、さらにこの酸化シリコン膜を酸化性雰囲気中で熱処理してセラミック状の酸化シリコン膜20とする。ここで、プレセラミック化のための熱処理条件は、窒素（ N_2 ）ガス雰囲気中150℃1分+200℃1分+300℃1分とすることができる。また、セラミック化のための熱処理は、特開平10-189580号公報に示されるホットプレート型加熱装置を用いて行なうことができる。この場合、酸化性雰囲気としては、大気を用いられる。また、熱処理条件としては、次の表1に示す条件1～6のうち任意のものを選択することができる。

【0029】

【表 1】

	条件 1	条件 2	条件 3	条件 4	条件 5	条件 6
熱処理温度 [℃]	400	400	400	420	450	450
熱処理時間 [分]	6	6	12	6	6	10
N ₂ 流量 [l/min]	31.2	16.2	31.2	31.2	31.2	なし
Si-H残存率 [%]	57	57	24	42	23	61

表 1 において、「Si-H残存率」は、セラミック化のための熱処理の前後における酸化シリコン膜中の Si-H 基の含有量の変動を示すもので、値が小さいほどセラミック化が進行したことを表わす。後述の界面準位低減のための熱処理においては、Si-H残存率が高いほど水素脱離量が多くなる。従って、界面準位低減に必要な水素量を考慮してセラミック化のための熱処理条件を選択又は設定すればよい。

【0 0 3 0】

次に、図 2，7 に示すように、基板上面に酸化シリコン膜 2 0 及び絶縁膜 1 8 を介して配線層 1 6 S，1 6 D，1 6 を覆い且つ酸化シリコン膜 2 0、絶縁膜 1 8 及び絶縁膜 1 4 を介してトランジスタ TR を覆うように絶縁膜 2 2 を形成する。絶縁膜 2 2 としては、TEOS (Tetra Ethyl Ortho Silicate [Si(OC₂H₅)₄]) 及び O₂ を原料とするプラズマ CVD 法により厚さ 3 0 0 n m の酸化シリコン膜を形成する。このときの成膜条件は、

基板温度：4 0 0 ℃

原料ガス：TEOS (1. 8 c c / m i n [液体で供給])

+ O₂ (8 0 0 0 s c c m)

反応室内圧力：2. 2 T o r r

とすることができる。絶縁膜 1 8、酸化シリコン膜 2 0 及び絶縁膜 2 2 の積層は、層間絶縁膜 2 4 として用いられるものである。

【0 0 3 1】

次に、図 8 の工程では、層間絶縁膜 2 4 の上に所望の接続孔に対応する孔を有

するレジスト層 26 をホトリソグラフィ処理により形成した後、レジスト層 26 をマスクとする選択的ドライエッチング処理により配線層 16 に達する接続孔 28 を層間絶縁膜 24 に形成する。この後、レジスト層 26 を周知のアッシング等の方法により除去する。

【0032】

次に、図 2, 9, 11 に示すように、層間絶縁膜 24 の上に配線層 30A, 30, 30B~30D を形成する。配線層 30 は、接続孔 28 を介して配線層 16 に接続されるものである。配線層 30B~30D は、互いに平行して配置されたもので、配線層 30C の左隣りに配線層 30B が、配線層 30C の右隣りに配線層 30D がそれぞれ配置されている。

【0033】

配線層 30A, 30, 30B~30D は、層間絶縁膜 24 の上に接続孔 28 を覆って配線材を被着した後その被着層をホトリソグラフィ及び選択的ドライエッチング処理によりパターニングすることにより形成される。配線材としては、下から順に Ti (20nm)、Al 合金 (例えば Al-Si-Cu 合金: 1000nm) 及び TiN (40nm) をスパッタ法により被着することができる。また、ドライエッチング条件は、

エッチングガス: Cl_2 (30 sccm) + BCl_3 (30 sccm)

エッチング室内圧力: 10 mTorr

とすることができる。

【0034】

次に、図 2, 10, 11 に示すように、層間絶縁膜 24 の上に配線層 30A, 30, 30B~30D を覆って表面保護膜 32 を形成する。表面保護膜 32 としては、厚さ 150nm の窒化シリコン膜をプラズマ CVD 法により形成する。このときの成膜条件は、

基板温度: 400℃

原料ガス: SiH_4 (300 sccm) + NH_3 (1800 sccm)

+ N_2 (1000 sccm)

反応室内圧力: 2.6 Torr

とすることができる。

【 0 0 3 5 】

表面保護膜 3 2 としての窒化シリコン膜は、図 1 1 に示すように、配線層 3 0 B, 3 0 C の間及び配線層 3 0 C, 3 0 D の間にそれぞれ溝が生ずる程度に薄く配線層 3 0 B ~ 3 0 D を覆うように形成する。このようにすると、溝には比誘電率 1 の空気が存在するため、配線間容量を低減することができる。溝の幅 W_1 , W_2 が大きいほど配線間容量が低下する。この結果、動作の高速化や動作マージンの拡大が可能となる。

【 0 0 3 6 】

この後、プロセスダメージを低減するため、図 2, 1 0, 1 1 に示す構造を有する半導体基板 1 0 に熱処理を施す。このときの熱処理条件は、一例として、窒素ガス雰囲気中 4 0 0 °C 3 0 分とすることができる。窒素ガスは、水素含有窒素ガスであってもよいが、表面保護膜 3 2 としての窒化シリコン膜が水素を透過しないので、熱処理雰囲気中に水素を含めなくてよい。

【 0 0 3 7 】

図 1 2 は、水素シルセスキオキサン樹脂膜をセラミック化した酸化シリコン膜について昇温脱離特性の一例を示すもので、横軸は熱処理温度を、縦軸は水素脱離量をそれぞれ示す。プロセスダメージを低減するための熱処理においては、予め図 1 2 に示すような昇温脱離特性を求め、該昇温脱離特性に基づいて決定した温度で熱処理を行なうのが望ましい。このようにすると、水素脱離量を容易に求めることができ、界面準位を確実に低減することができる。図 1 2 に示される特性例では、4 0 0 °C で熱処理を行なうと、斜線部の水素が脱離する。脱離した水素は、図 2 に示すようなトランジスタ T R のチャンネル部に拡散して界面準位を低減する。この結果、トランジスタ T R のしきい値電圧のばらつきを低減可能となる。

【 0 0 3 8 】

プロセスダメージを低減するための熱処理は、図 1 1 に示すように配線層 3 0 B ~ 3 0 D を表面保護膜 3 2 としての窒化シリコン膜で覆った状態で行なわれるので、配線層 3 0 B ~ 3 0 D にラテラルヒロックは生じない。

【0 0 3 9】

【発明の効果】

以上のように、この発明によれば、水素含有膜を含む層間絶縁膜の上に配線層を介して表面保護膜を形成した後界面準位低減のための熱処理を行なうようにしたので、熱処理雰囲気中には水素を含めなくてよく、MOS型トランジスタのしきい値電圧のばらつきを簡単に低減可能となる効果が得られる。

【図面の簡単な説明】

【図 1】 この発明の一実施形態に係るMOS型ICの製法におけるMOS型トランジスタ形成工程を示す基板断面図である。

【図 2】 図 1 の基板上に層間絶縁膜、配線層、表面保護膜等を形成した状態を示す基板断面図である。

【図 3】 図 1 の工程に続く層間絶縁膜形成工程を示す基板断面図である。

【図 4】 図 3 の工程に続く配線層形成工程を示す基板断面図である。

【図 5】 図 4 の工程に続く絶縁膜形成工程を示す基板断面図である。

【図 6】 図 5 の工程に続く酸化シリコン膜形成工程を示す基板断面図である。

【図 7】 図 6 の工程に続く絶縁膜形成工程を示す基板断面図である。

【図 8】 図 7 の工程に続く接続孔形成工程を示す基板断面図である。

【図 9】 図 8 の工程に続く配線層形成工程を示す基板断面図である。

【図 1 0】 図 9 の工程に続く表面保護膜形成工程を示す基板断面図である。

【図 1 1】 平行する配線層を表面保護膜で被覆した状態を示す基板断面図である。

【図 1 2】 水素シルセスキオキサン樹脂膜をセラミック化した酸化シリコン膜の昇温脱離特性の一例を示すグラフである。

【図 1 3】 従来の表面保護構造の一例を示す断面図である。

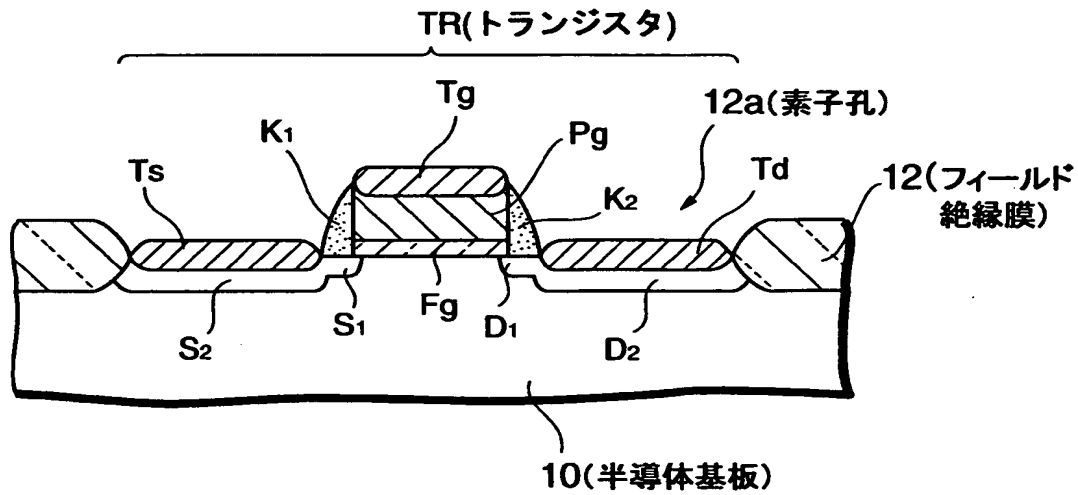
【図 1 4】 従来の水素アニール処理の一例を説明するための基板断面図である。

【符号の説明】

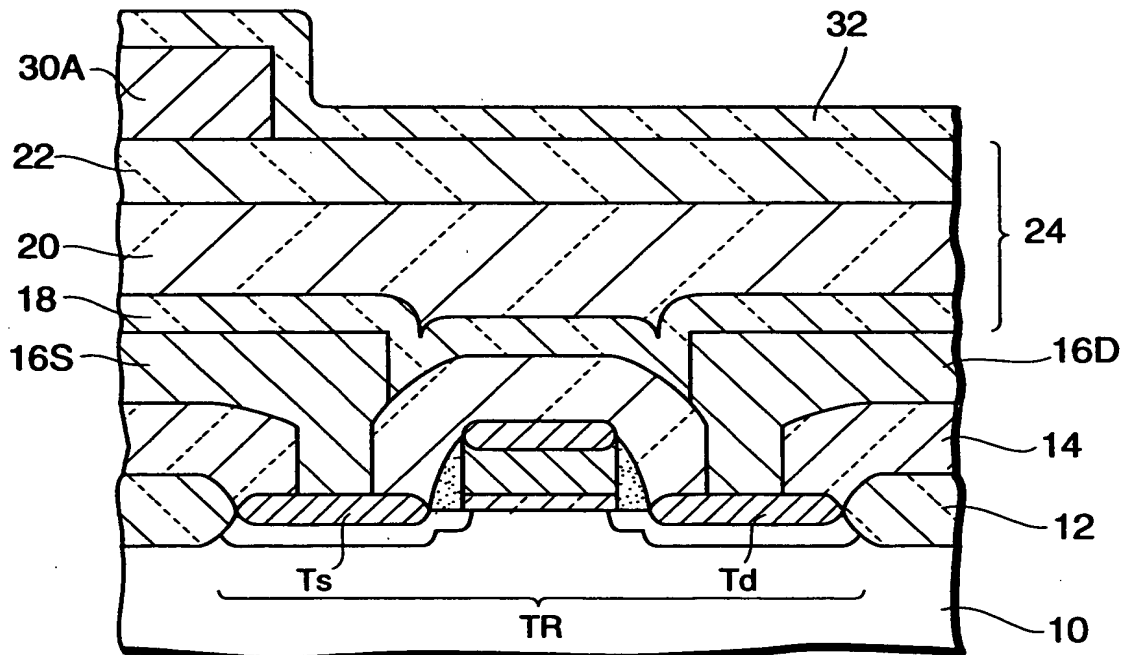
TR : MOS 型 トランジスタ、 1 0 : 半導体基板、 1 2 : フィールド絶縁膜、
1 4, 2 4 : 層間絶縁膜、 1 6, 1 6 S, 1 6 D, 3 0, 3 0 A ~ 3 0 D : 配線
層、 1 8, 2 2 : 絶縁膜、 2 0 : 酸化シリコン膜、 2 6 : レジスト層、 3 2 : 表
面保護膜。

【書類名】 図面

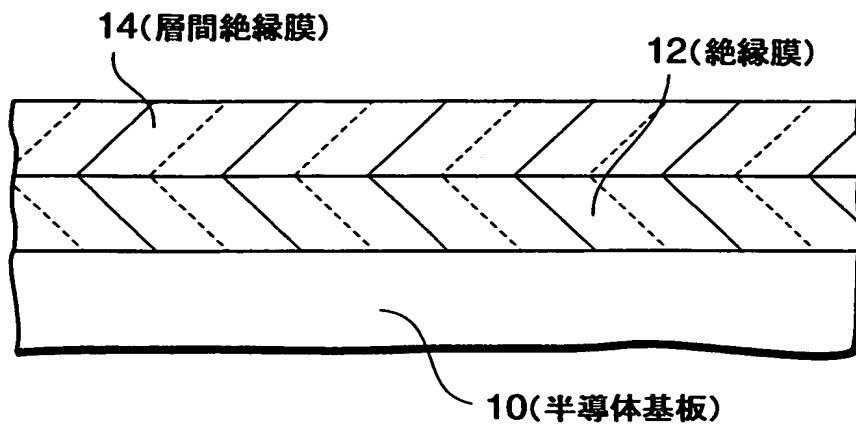
【図 1】



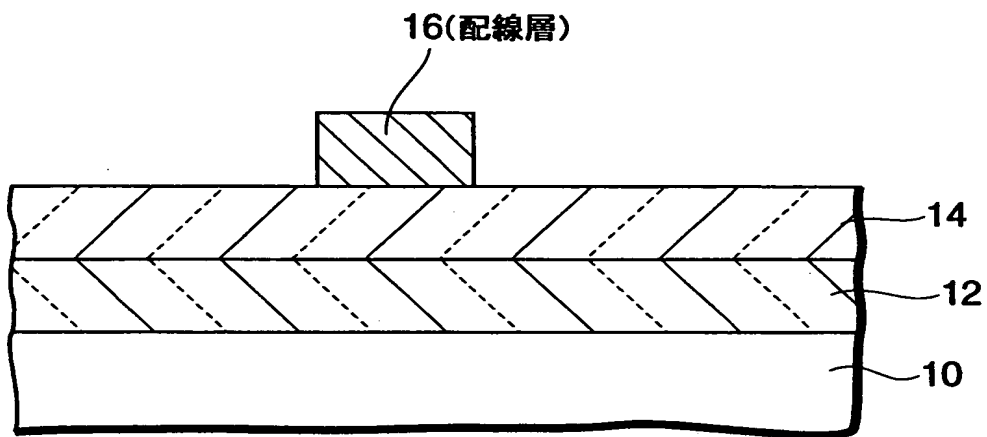
【図 2】



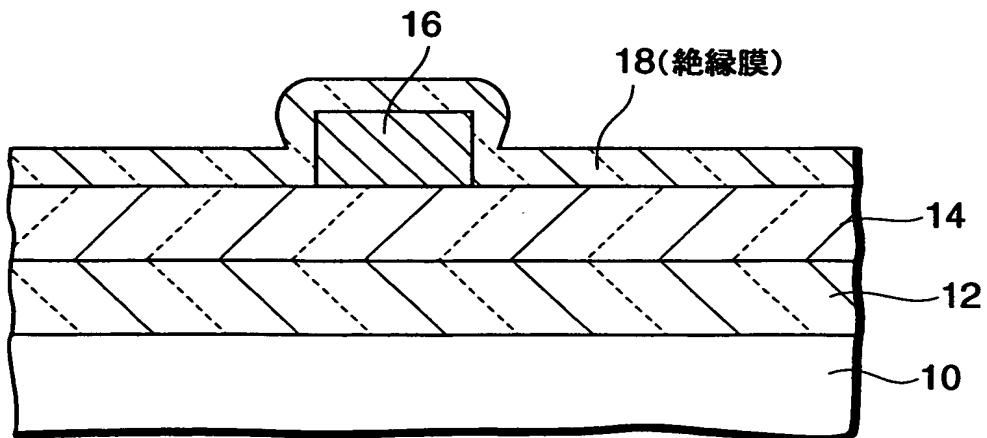
【図 3】



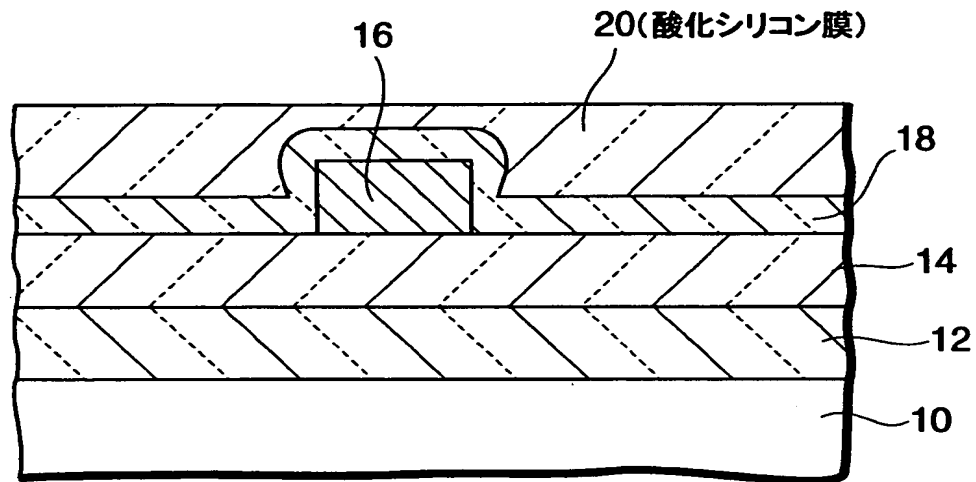
【図 4】



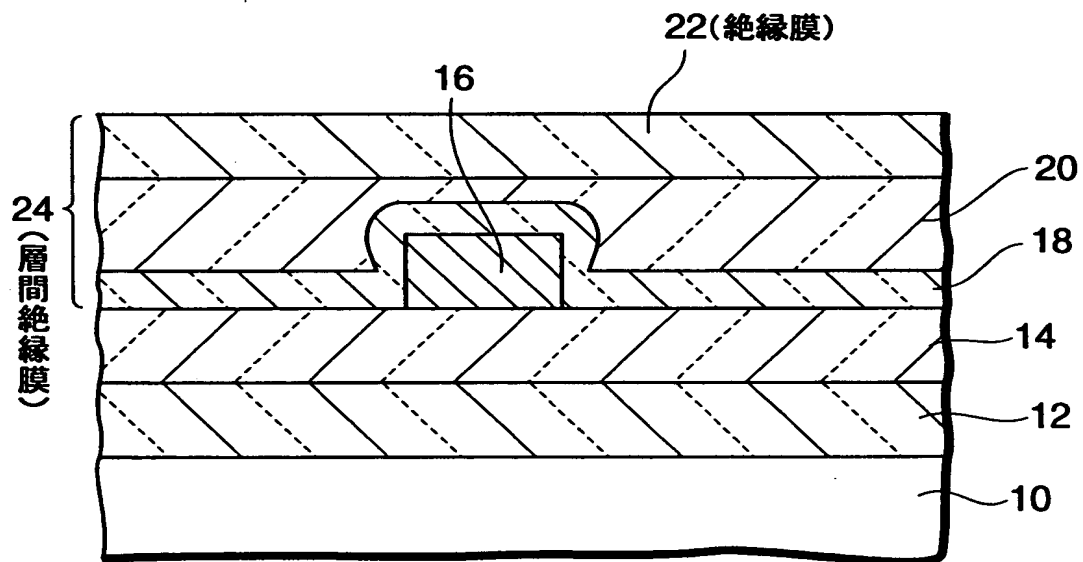
【図 5】



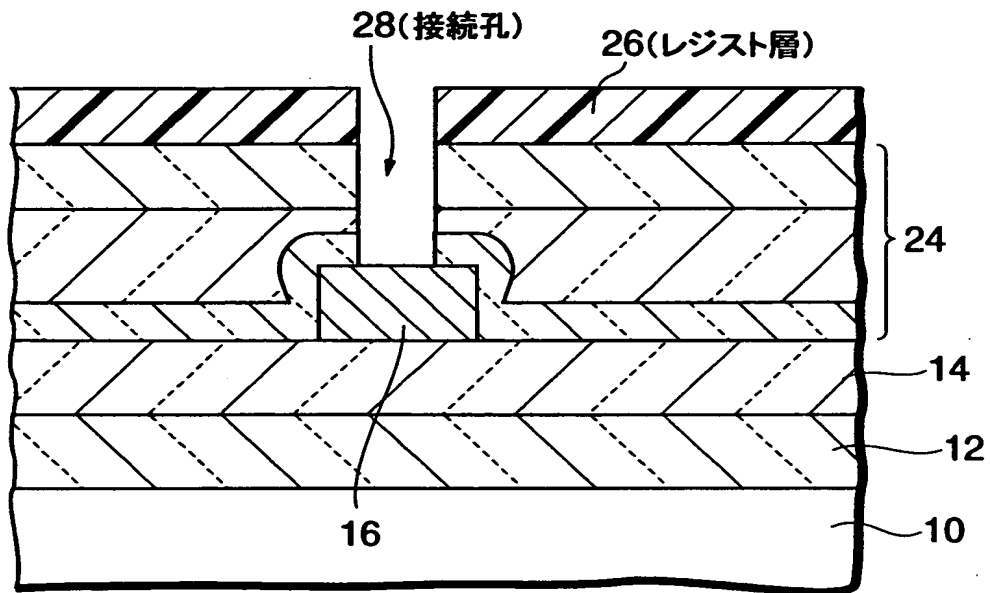
【図 6】



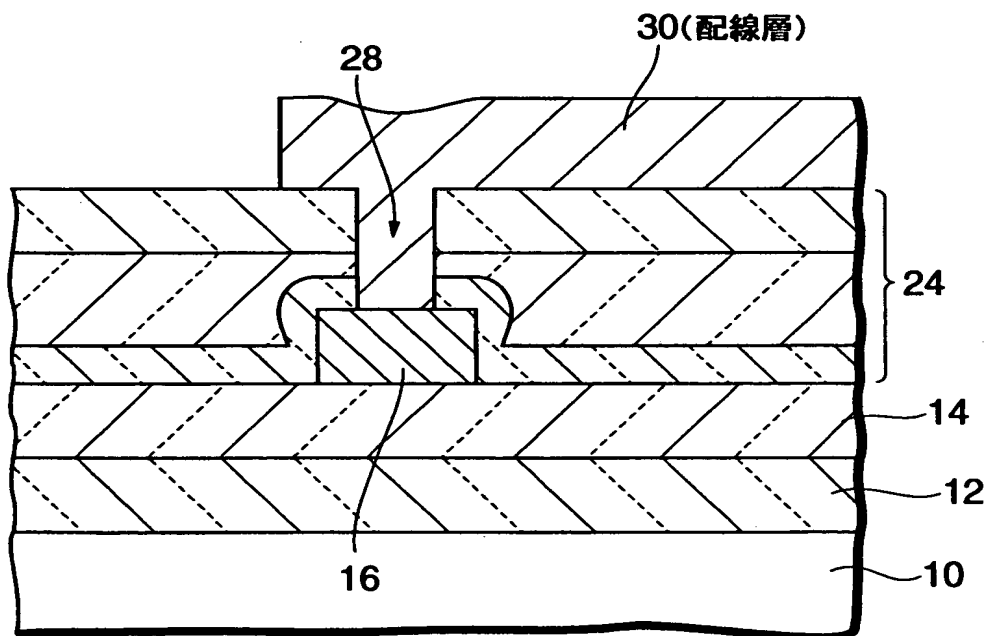
【図 7】



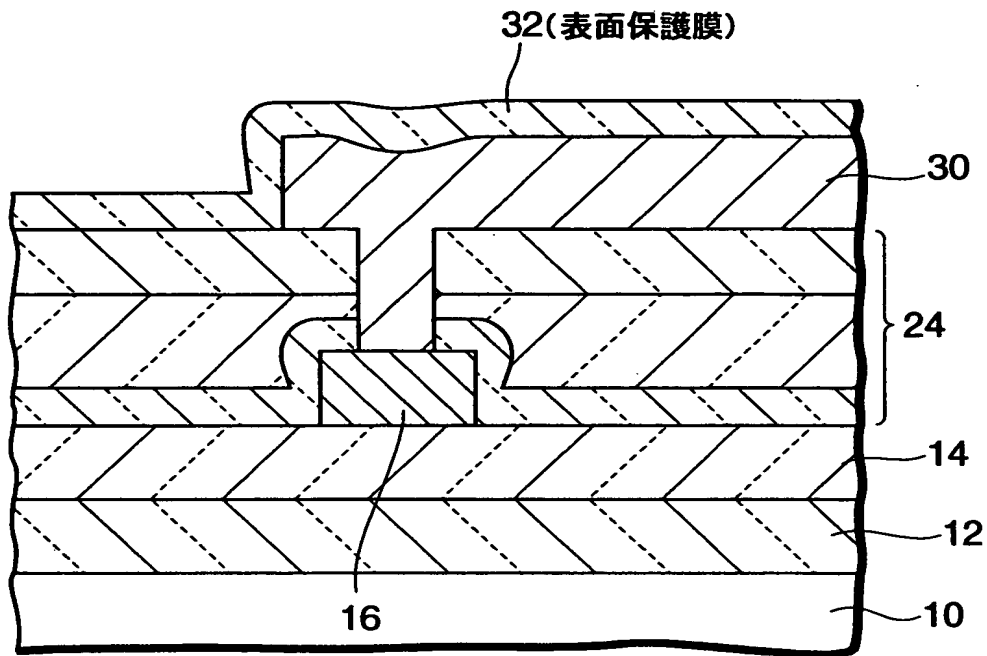
【図 8】



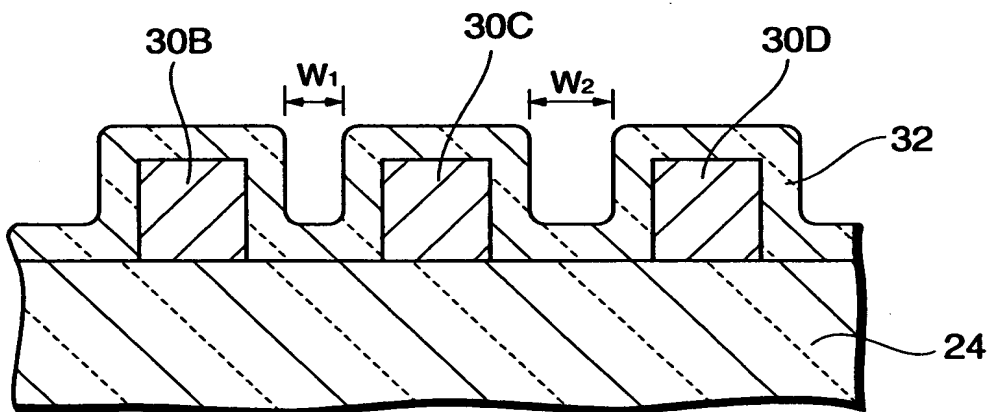
【図 9】



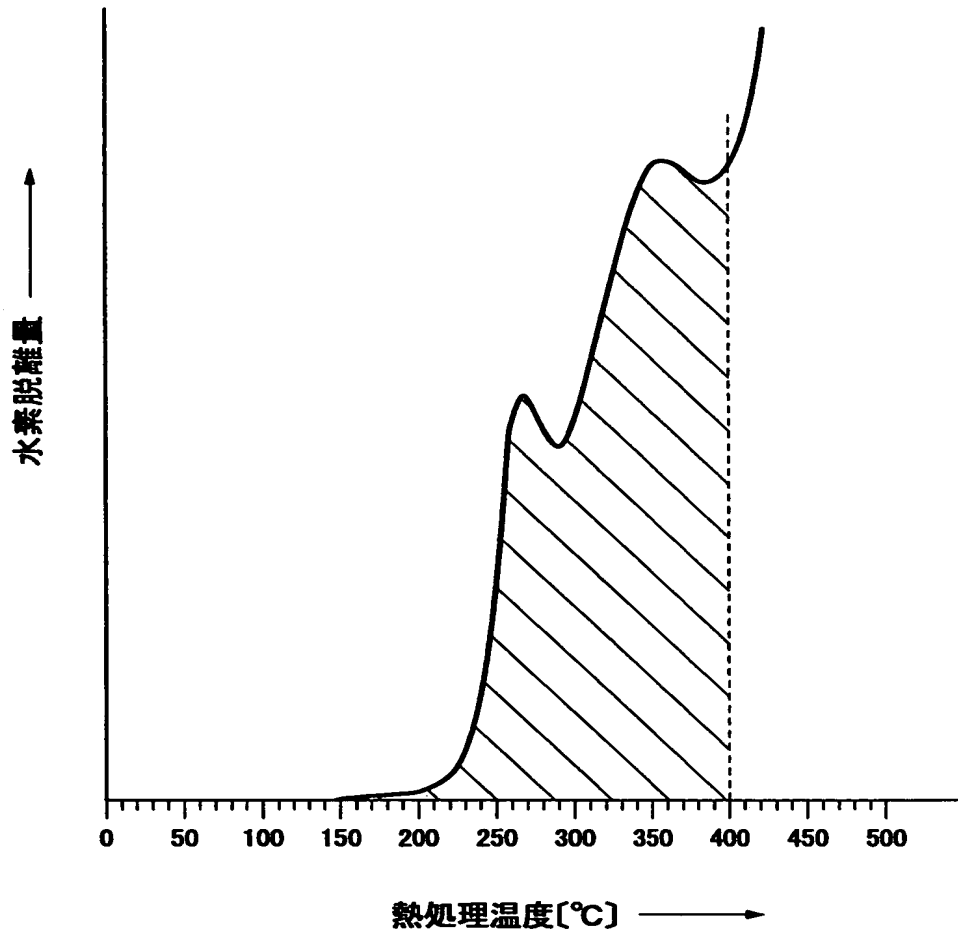
【図10】



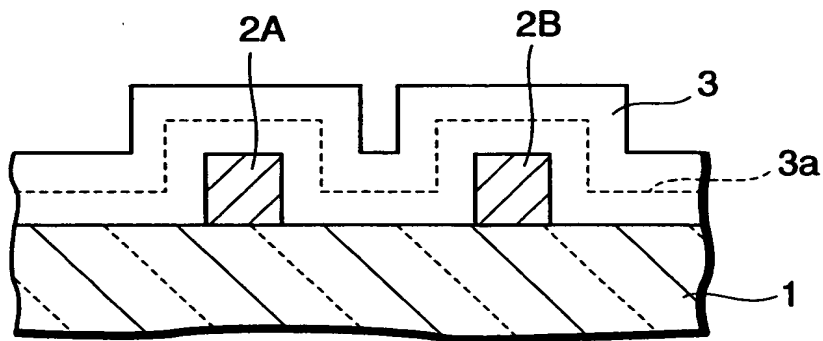
【図11】



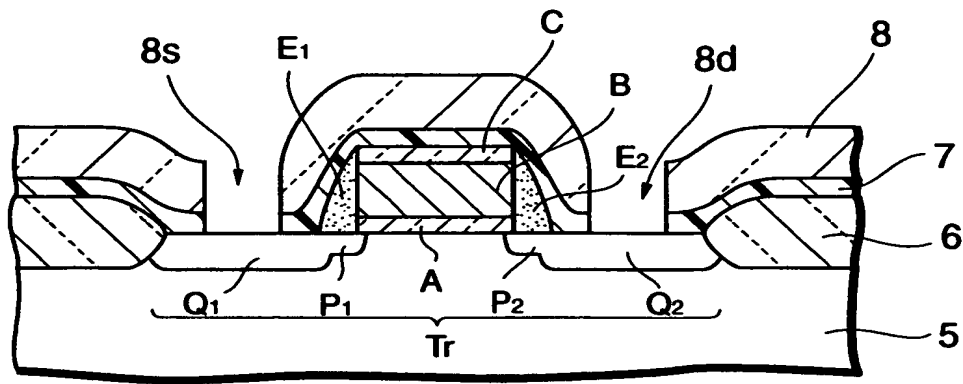
【図12】



【図13】



【图 14】



【書類名】 要約書

【要約】

【課題】 MOS型トランジスタのしきい値電圧のばらつきを簡単に低減可能とする。

【解決手段】 半導体基板 1 0 の表面にMOS型トランジスタTRを形成した後、トランジスタTRを覆って層間絶縁膜 2 4 を形成する。絶縁膜 2 4 は、水素シルセスキオキサン樹脂膜をセラミック化した酸化シリコン膜 2 0 を含むものとする。絶縁膜 2 4 の上に配線層 3 0 Aを形成した後、配線層 3 0 Aを覆って絶縁膜 2 4 の上に表面保護膜として窒化シリコン膜 3 2 を形成する。プロセスダメージを低減するため、窒素ガス雰囲気中で 4 0 0℃ 3 0 分の熱処理を行なう。このとき、酸化シリコン膜 2 0 中の水素が脱離してトランジスタTRのチャンネル部に拡散し、界面準位を低減する。窒化シリコン膜 3 2 が水素を透過しないので、熱処理雰囲気中に水素を含めなくてよい。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号

[000004075]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	静岡県浜松市中沢町10番1号
氏 名	ヤマハ株式会社